This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Problem Image Mailbox.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000223713 A

(43) Date of publication of application: 11.08.00

(51) Int. CI

H01L 29/786

H01L 21/28

H01L 29/40

H01L 29/43

H01L 29/78

H01L 21/336

(21) Application number: 11025106

(71) Applicant:

OKI ELECTRIC IND CO LTD

(22) Date of filing: 02.02.99

(72) Inventor:

MATSUHASHI HIDEAKI

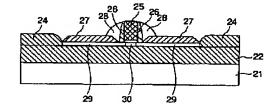
(54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the source-drain resistance to increase the driving force of a transistor by epitaxially growing a silicon film having a (1, 1, 1) facet face on the source and drain of a MOSFET.

SOLUTION: A SOI NMOSFET consists of a silicon substrate 21, a buried oxide film 22, a body 30, a field oxide film 24, a gate electrode 25, a thin SiO2 side wall 26, a thick SiO2 side wall 28, the source and drain 29, and silicon 27 epitaxially grown in source and drain regions. Compared with a case that a silicon film having no facet face is epitaxially grown vertically, the silicon 27 having a (1, 1, 1) facet face reduces a fringe capacity between the gate and the source-drain. Moreover, as the silicon film 27 starts to get thicker at a part closer to the gate than the vertically grown silicon film, the resistance of a slant region of the source and drain 29 near the gate can be reduced.

COPYRIGHT: (C)2000,JPO



ව

(43)公開日 平成12年8月11日(2000.8.11)

特開2000-223713	(P2000-223713A)

51) Int.Cl.	600	的配件		Ħ 				テーセコート"(参考)	
H01L 29/786	9			H01L			6165	4M104	
21/28	301	-			21/28		301T	5 F 0 4 0	
29/40					29/40	٠	∢	5F110	
29/43					29/46		۲		
87/62					29/78	•	3018		
			審査部次	未醋水	請求項の数9	OF.	OL (全9頁)	最終頁に据く	
日本発明へに	00120 11000	001							

(21) 出願番号	特周平 11-25106	(71)出版人	(71) 出題人 000000295	
			神電気工業株式会社	
(22) 出質日	平成11年2月2日(1999.2.2)		東京都港区虎ノ門1丁目7番12号	
		(72) 発明者	松橋 秀明	
	•		東京都港区虎ノ門1丁目7番12号 沖雪	以無名
			工業株式会社内	
•		(74)代理人	(74) 作理人 100089093	
			井理士 大西 健治	
				1
			最終買い版へ	

[54] 【発明の名称】 半導体案子及びその製造方法

57) [要約]

ンを用いて微細ゲート及のSOI MOSFETにおいて、傾斜傾 寅のソース・ドレイン柢抗を小さくし、トランジスタの 【目的】 (1,1,1)ファセット値を持つエピしたジリコ 駆動力をあげることを目的とする。

されたMOSFETであって、MOSFETのソース及びドレイン上 こ (1,1,1)ファセット面を有する半導体層を、エビタキ 【構成】 SOI (Silicon on insulater) 基板上に形成 シャル成長させた。

【非常の外語出】

形成されたMOSFETであって、前記MOSFETのソース及びド 海水項1] SOI (Silicon on insulater) 基板上に エピタキシャル成長されていることを特徴とするMOSFET レイン上に (1,1,1)ファセット面を有する半導体層が、

浜池半導体超がシリコン若しくはシリコンチルシである 【請求項2】 請求項1記載のMOSFETの構造であって、 ことを特徴とするMOSFETの構造。

哎する工程と、選択エピタキシャル成長法により前記MO ゲート
転極の
関語
に
絶縁
物から
成る
サイド
ウォー
レ
を
形 持つ半導体膜を形成することを特徴とするMOSFETの製造 って、前記基板上にゲート電極を形成する工程と、前記 【請求項3】 SOI基板上にMOSFETを製造する方法であ SFETのソース及びドレイン上に(1,1,1)ファセット面を

【請求項4】 請求項3記載のMOSFETの製造方法であっ た後、前記ゲート電極の側頭に、再度絶縁物のサイドウ て熱処理する工程を行うことを特徴とするMOSFETの製造 オールを形成し、SOI 基板全面に高離点金属を堆積させ て、前記(1,1,1)ファセット面を持つ半導体数を形成し

【請求項5】 請求項3記載のMOSFETの製造力法であっ て、前記半導体数がツリコン、着しくはシリコンゲルシ であることを特徴とするMOSFETの製造方法。

【請求項6】 請求項3記載のMOSFETの製造方法であっ て、前記絶線物がSio2指しくはSiNであることを特徴と するMOSFETの製造方法。

セット面を有するエピタキシャル成長されたシリコン超 が高鶴点金属とのシリサイドに改変されており、前記MO SFETのゲート電極の側壁の絶縁膜から成るサイドウォー 樹点金属とのシリサイドに改変されてなることを特徴と て、前記MOSFETのソース及びドレイン上に(1,1,1)ファ **前記SOI基板の絶線層まで造しないシリコン層が前記**百 ルが前記(1,1,1)ファセット面を覆うように形成され、 【辯水項7】 SOI 基板上に形成されたMOSFETであっ するMOSFETの構造。

前記絶線版がSiO2若しくはSiNであることを特徴とするM 【讃永項8】 請求項7記載のMOSFETの構造であって、 OSFETの構造。

前記高騰点金属とのシリサイドが、コバルトシリサイド (CoSi2) 、チタンシリサイド (LiSi2) 白金シリサイド (PtSi2) のいずれかであることを特徴とするMOSFETの 【選求項9】 潜水風7記載のMOSFETの構造であった、

[発明の詳細な説明]

[1000]

or) 電界効果トランジスタ (MOSFET) の構造及び製造方 [発明の属する技術分野] この発明は、高速・低消費電 カ・高信敷柱の後細ゲート及のS01 (Silicon oninsulat

辻に関するものである。

[0002]

(1996) p. 174S01 MOSFETはその 構造的特徴から寄生容量が小さいこと、ラッチアップフ リーであること、ソフトエラー母が低いこと、表了分離 が比較的容易であること等の及所を有しており、高速・ : V. Nakahara, Sympoium on 低消費電力LSIへの適用可能性について大きな関心が向 [従来の技術] 文献名 FLSI Technology Dig. けられている。

【0003】 完全空之型 (FD) デバイスでは、ゲートド 5。ゲート及が0.2μm以下程度では、SOI睒厚は20 - 50 ートチャネル効果を抑える必要がある。ただし、不純物 ス・ドレイン部の抵抗が高くなり、トランジスタ特性は に形成される空之層がSOIドの埋め込み酸化散 (BOX) ま 和点がある。…方、微細ゲート艮のFDデバイスを実現す るためには、チャネル部の不能物濃度を高めることによ 讃虔を高くすることにより、ゲート下の盗乏層の広がり で到證するため、宝名層容量が小さくなり、サンメレジ ョルド係数 (S値) がほぼ理想値まで小さくなるという り、ソース・ドレインからの強乏菌の延びを抑え、ショ が狭くなるため、完全空を型動作(空を描がBOXまで到 mと非常に深くしなければならない。 このため、ソー 造する)にするためにはSOI販序を導くする必要があ ソース・ドレイン抵抗により劣化してしまう。

【0004】ソース・ドレイン抵抗を下げる方法のひと つとして、ソース・ドレイン上にのみチタン (Ti) やコ バルト (Co) のシリサイド層を選択的に形成するサリサ ようにサリサイドを形成した場合、騒集が起こりやすく なり、百杖抗化したり、チャネル部とソース・ドレイン 化しようとした場合には、サリサイドの抵抗が十分に低 くならない、あるいは細線部でシリサイドが形成されな 部が断裂する可能性がある。S01層を残してサリサイド イド技術が一般的に使われている。しかしながら、501 数字が50 mm程度より導くなると、その形成が困難にな ることが知られている。シリサイドがBOXまで到遠する いなどの問題が生じる。

【0005】ソース・ドレイン抵抗を下げるもうひとつ の方法として、ソース・ドレイン上にSIを選択エピ成長 させてソース・ドレイン部のシリコン戦中を与くする方 注がある.

【0006】上部の女様には、ソース・ドフィンエコシ リコンをHに成成したBulkシリコンのMOSFETの構造及び 製造方法が示されている。図8はその説明のための図で あり、断面図を以って概略的に示したPMOSFETの構造図 【0007】図8は、PMOSFFTをゲートと垂直方向に切断 イン128、ソース・ドレイン127、ソース・ドレイン上に **厚いSi02のサイドウォール126、浅接合のソース・ドレ** した断面図であり、シリコン基板121、フィールド酸化 版122、ゲート電極123、違いSiNのサイドウォール124、

€

エビ成長したシリコン125から構成されている。エビ成長したシリコン125は、ボロン (B) が1m siuで導入されており、また (3.1.1) ファセット値を持っている。 [0008] この構造では、(3.1.1) ファセット値を持っている。 たっシリコンをエビすることにより、ゲートとソース・ドレイン間のフリンジを狙を低減させていること、複複合のソース・ドレイン128上にもエピシリコンがあることにより、複複介のゾース・ドレイン1280年が存在下げることが可能になっていることが特別である。

【0009】次に、上記棒造のPMOSFETの製造方法を簡

[0010] この方法では、シリコン基板121上に基子分離のためのフィールド酸化版122全形成する。その後、通常のWOSFET形成プロセスを経て、ゲート電極123まで形成する。 次いで、10mのSiN版を形成し、エッチパックすることにより違いSiNのサイドウォール124を形成する。 (図10 (A))

その後、UHV (Ultra High Vacuum) -CVD装置を用い、シリコン基板上にのみ違収的にB (ボロン) をドープしたシリコン版125を30mmエビ成長する。このエビ版は (3. 1) ファセットを持つような条件で形成する。 (図10 1. 1)

早いSiの数を形成した後、エッチバックを行い、早いSiの数を形成した後、エッチバックを行い、早いで、ソース・ドレインインプラを行い、ソース・ドレイン127が形成される。(図10(C))

その後、KTAを行い、ソース・ドレイン127の活在化を行うととらに、エピンリコンからBが国袖乾散する事により、幾後合のソース・ドレイン128が形成される。(図10))

ひだし 以上により、氏ソース・ドレイン抵抗を持つFMOSFFTが 形成される。 [0011] このように、本権当のMASFETでは、(3.1, 1) ファセット面をもつシリコンをソース・ドレイン上にエピオることにより、ゲートとソース・ドレイン間のフリンジを組を指やさず、かつ後後介のソース・ドレイン上にもエピシリコンがあることにより、残核合のソース・ドレイン128の抵抗を下げることができるので、高・野動力のの電界効果トランジスタ(MASFEI)を実現でき

[0012]

【発明が解決しようとする機刨】しかしながら、以上述べたMOSFETの構造では、図9に示すように (3.1.1) ファセット値の角度Aは25 となり、エビしたシリコンの数件をしとすると、傾斜部域の反きはおよぞ2:になる。額面ゲート及のSOT MOSFETにおいては、SOT版写が30-30 maと非常に添いため、ソース・ドレイン上部にシリコン版与は深いため、ドラン版をエビしてもトータルのシリコン版写は深く、特に複彩部域のソース・ドレイン抵抗が大きいため、ドランジスタの駆動力が上がらないという問題があった。

【のの13】ならに、以上述べた構造でサリサイドを行う場合には、サリナイドが良好にが成されるためのシリコン数写は50 m届度以上必要になり、それ以下の数写になるシリコン菌は早いを伝統のサイドウォール数写はシリコン菌がサリナイドのための所型の核原となるまでのグートからの型鑑で検定され、ソース・ドレインとゲートのオフセット国の管理をサイドウォール数写でできなくなるという問題点があった。

[0014]上記の問題を図11に例を挙げて説明すると、5018554520 maとして、その上に60 maの影房のシリコンをエビしたとする。トータルで80 maのシリコンのになるが、深い所でも50 m以上の観点になるよう・トクチーペルンリコンをエビにたとする。トータルで80 maのシリコンの形成・エビが平の1につきをお嫌に入れて、サイドウォールはンリコン似呼が80 maの所主で限うように形成することにする。この場合、ゲートからシリコンとが表することにする。この場合、ゲートからシリコンス・ドレインの不遑物の定数距離が120 ma以下になってしまう場合、ゲートとソース・ドレインはオフセット構造になってしまうため、熱処理温度を上げる、あるいはサイドが問題なく形成されるような条件を様す等、何らかの対策を課じなければならなくなるという問題があっ

[0015]

【数題を解決するための手段】本類発明では、SOI(SII) icon on insulater)基板上に形成されたMOSFETにおい てWOSFETのソース及びドレイン上に(I.1.1)ファセット 面を有するシリコン数、若しくはシリコングルマ数が、エピタキシャル成長されているので、ゲートとソース・ドレイン間のフリンジ容量を抑え、かつエピタキシャル改長されたシリコン数がゲートに近いところから厚くなな長されたシリコン数がゲートに近いところから厚くな 【0016】従って、ソース・ドレイン抵抗が大きいだめトランジスタの駆動力が上がらないという問題点を解験を表示されたいることができる。

【のの17】また、以上述べた構造でサリサイドプロセスを行う場合には、サリサイドが良好に形成されるためのシリコン製印を充分に確保でき、シリコン商は厚い機のサイドウォールで覆う必要がないため、サイドウォール駅両はシリコン商がサリサイドのための所型の設早となるまで形成すれば良く、ソース・ドレインとゲートのオフセット量の管理をサイドウォール駅原でできるため、従前の問題点を解決することができる。

[0018]

【英施例】以下、図を参照して、この発明の実施例につ

及び配置関係は、この発明が理解できる程度に概略的に

き説明する。なお、図中、各構成成分のの大きさ、形状

がしてあるにすぎず、徒って、この発射は、図示例に限定されるものではない。また、理解を助けるため、符号は同一部分には、同一の符号を付けてある。

 【0019】<(第1の実施例>図1はこの発用の第1の法 施例を示す20f (Silicon on insulator) 相乗効果トランジメタ (MOSFEI) の構造を減患するための図であり、 防値図を用い概略的に示している。ここでは、NMOSFEI についての4減無する。

[0020] 四11年、501 NMOSFETの所面回であり、シリコン塩板21、用め込み酸化酸22、ボディ30、フィールド酸化酸31、ゲート部離25、溶い51ggのサイドウォール26、Pilv Si0gのサイドウォール28、ソース・ドレイン29、ソース・ドレイン21年成及したシリコン27から構成されている。エビ成及したシリコン27は、ソンドーブで形成し、ソース・ドレイソインブラの時に不満勧が増大される。また「(1,1,1) ファセット面を持ったい

[0021] この精道では、(I.I.) ファセット面をものソリコンをエピナることにより、ファセット面無しで細値にシリコン数やエピした場合よりもグートとソース・ドレイン面のフリンジを積を振減されていること、エピされたシリコン数がゲートにより近い斑から呼くなることにより、ゲートに近い海鉄強減のソース・ドレインの粧坑を下げることが回縮になっていることが特級である。

【0022】次に、図3を用いて、上記構造のSOI NMOS FETの製造方法を簡単に記す。 【0023】この方法では、シリコン基板21上に埋め込 を用い、菜子分群のためのフィールド酸化散24を形成す エッチバックすることにより海いSi02のサイドウォール その後、CVD装置を用い、ソース・ドレインとなる201層 1, 1) ファセットを形成しやすい。例えば、基故温度65 ろ。その後、通常のMOSFET形成プロセスを紹て、ゲート 1, 1) ファセットを持つように遊択エピ成長する。エビ 上にのみ50 - 100 nm程度の厚きのシリコン膜27を(1. 成長は、比較的低温 (650 - 750'C) で行った方が (1, るための塩化水素ガスを流し、15 Torrの圧力において 形成する。このときのシリコンの成及遊废は、数人/分 電極25まで形成する。次いで、10mmのSiO2概を形成し、 0℃で、原料であるジクロールシランと、選択性を上げ 程度の成長速度である。(図3(B)) 26を形成する。(図3(N))

厚いSiOo数を形成した後、エッチベックを行い、厚いSi Oo版のサイドウォール28を形成する。サイドウォール28 OO級原は、ソース・ドレインインプで母入した不穏物が、紫処理により積力向並抜して、ゲートエッジ付近にソース・ドレインとボディの接合がくるように超節する。倒えば、所望のサイドウォールの数原は1800Å強緩である。次いで、NeOソース・ドレインインプラを行

い、ソース・ドレイン29を形成する。 (図3 (C)) その後、RTAを行い、ソース・ドレイン29が活性化され、ボディとソース・ドレインの間の接合はガートエッ プドにくる。 (図3 (D)) 以上により、氏ノース・ドレイン抵抗を持つSOI NNOSFETが形成される。

【のの24】図2にホチェラに(1.1.1)ファセット面の 角度Bit52~となり、エピレたシリコンの既存を1.とす ると、傾斜筋核の長さはおよそ0.7.1になる。これは、 (3.1.1)ファセットの21の3分の1と非常に短い距離と なっており、この傾斜破核ソース・ドレイン核抗が小さ くなり、高階動力の501 WISFETのを実現することができ

28、ソース・ドレイン29、ソース・ドレイン部に中に成 り、明面図を用い概略的に示している。ここでは、NMOS エビ成及したシリコンゲルマ (SiGe) 31は、ノンドーブ は、(1.1,1) ファセットを持つシリコンゲルマ (SiG いSi02のサイドウォール26、PiいSi02のサイドウォール で形成し、ソース・ドレイソイソプラの時に不純物が単 [0026] 第1の実施例においては、(1, 1, 1) ファ e) 陌をソース・ドレインとなるS01路上にエピ成及する [0025] <第2の実施例>図5は、この発明の第2の 実施例を示すSOI (Silicon on insulator) 電界効果ト FETについてのみ説明する。図5は、SOI NMOSFETの断面 2、ボディ30、フィールド酸化脱24、ゲート電極25、海 及したシリコンゲルマ (SiGe) 31から構成されている。 セットを持つシリコン梱をエピしたが、第2の実施例で 図であり、シリコン基板21、埋め込み酸化版(BOX)2 ランジスタ(MOSFET)の構造を説明するための図であ 入される。また(1.1,1)ファセット面を持っている。 点が異なる。

【0027】次に、上記構造のSOI NNOSFETの製造方法を原単に記す。

(6 0 2 8) 第1の実権例の図3 (A) の構造になった 後、CVB装官を用い、ソース・ドレインとなる50間上に のみ30 - 100 mn程度の序さのシリコンゲルマ (51Ge) 版を (1.1. 1) ファセットを持つように選択エビ成長す る。この時の時面図は図3 (B) と回等であり、エビ版がシリコンゲルマ (51Ge) 版である点のみ異なる。エビ版 及は、例えば、基税温度650℃で、原料であるジクロールンランとゲルマン (G-d4)、遊免性を上げるための担 化木森ガスを流し、15 Torrの圧力において形成する。 このときのシリコンゲルマ (51Ge) の成長速度は、数10 0Å/分程度の成長速度である。この後の工程は、第1の 実施例の図3 (C) - (D) の説明と同等である。

[0029] <第3の某権例>図6は、この発射の影3の 某権例を示す201 (Silicon on insulator) 結果効果ト ランジスタ (MOSFEI) の構造を説明するための図であ り、所述図を用い概略的に示している。ここでは、NMOS FETについての本銭割する。 9

[図2] (1.1.1)ファセット面の角度を説明する図であ

[四3] 図1 のNMOSFETの製造1:編の断面図である。

セット面をものシリコンをエピすることにより、傾斜鎖 ラで導入した不純物が横方向拡散してゲートエッジ付近 図3 (D) の構造の後に、サリサイドを行い、ゲート及び 域の長さはエビ販序の70%程度と非常に知いので、厚い **サム ドウォードの駁所 恒値は、ソーダ・ドワイソイソン にソース・ドレイソカボディの複合がへや繋序に蟷竿**キ [0031] この構造では、第1の実施例で作製された ソース・ドレインの抵抗を下げている。 (1,1,1) ファ ればよくなる。

【0032】次に、上記構造のSOI NNOSFETの製造方法 を循手に記す。

後、コバルト (Co) あるいはチタン (Ti) をスパッタ法 こより、所望の畝屋形成する。その後、短時間熱処理 [0033] 第1の実施例の図3 (0) の構造になった

る。 装面に形成された、窓化物はアンモニア過水(NH10 H/H202) 時のサリサイドとの選択エッチング可能な溶液 [0034] 以上により、低ソース・ドレイン抵抗を持 に設すことにより、除去する。その後、再度RTA装置に (RTA) 装置により、所望の温度での熱処理を行い、ゲ **ート上及びソース・ドレイン上にサリサイドか形成**す より熱処理を行い、サリサイドの低抵抗化を行う。

[0035]

OSOI NVOSFETが形成される。

(Silicon on insulator) 電界効果トランジスタ (MOSF 数がゲートに近い所から厚くなることにより、傾斜領域 にエピすることにより、ゲートとソース・ドレイン間の フリンジ容量の増加を抑え、かつ、エビされたシリコン 高駅動力のSOI WOSFETのを実現することができるという ト値をもつシリコンをソース・ドレインになる201路上 【発明の効果】この発明の第1の実施例によれば、501 ET) の構造及び製造方法によれば、(1.1,1) ファセッ のソース・ドレインの抵抗を下げることが可能になり、 効果が得られる。

トの場合と、(1, 1, 1) ファセットの場合を示した。5 01の初期数序を20 mm、ゲートとコンタクト間の組織を2 00 nm、エビしたシリコン駁序を60 nmとし、ゲートエッ [0037] これから、コンタクトまでの間のソース・ 【0036】従来の(3, 1, 1) ファセットを持つ構造 ン抵抗を比較する。図4に、シリコンをエピしたソース ・ドワイン 哲の 森祖の 愈 とした、 (3, 1, 1) レッセッ イ (1, 1, 1) ファカットを払し確認のソース・ドフイ ジからコンタクトエッジまでの抵抗を求めた。

ドレイン抵抗は (1, 1, 1) ファセットの方が、(3, 1, ンタクト間の距離が短くなれば、その効果はさらに大き る。また、設計ルールがより短くなって、ゲートーコ 1) ファセットよりも約20%抵抗が低くなる事がわか

SOI (Silicon on insulator) 電界効果トランジスタ (M OSFET) の構造及び製造方法によれば、(1,1,1) ファセ とにより、同一温度におけるシリコンのエピ成長速度の 数十倍の速度が得られるため、プロセス時間の短縮が実 **現できるという効果が得られる。シリコンのエビ成長速** ット面をもつシリコンゲルマ(SiGe)をエビ成長するこ か、例えば600Å成長させるためには、6分と十分実用的 【0038】また、この発明の第2の実施例によれば、 度は数人/分のため、例えば600人成長させるためには 数時間を要し、デバイス製造を行う上で実用的ではな い。シリコンゲルマのエピ成長速度は約100Å/分のた な時間である。

コンタクト抵抗が下がるという効果も得られる。シリコ ンゲルシでは、同じ不純物濃度のシリコンに比べ、コン 【0040】また、当然、シリコンゲルマも(1,1,1) · ファセット面を持つように形成しているため、第1の実 【0039】更に、シリコンゲルマを使うことにより、 タクト抵抗率は2桁程度低くなることが知られている。 歯例と同様な効果も得られる。

SOI (Silicon on insulator) 起界効果トランジスタ (M ット値をもらシリコンをソース・ドレイン上にエピした 後、厚いサイドウォールを形成し、その後サリサイドを の抵抗を大きく下げることが可能になり、高駆動力のSO I MOSFETのを実現することができるという効果が得られ **OSFET) の構造及び製造方法によれば、 (1.1.1) ファセ** (3.1.1) ファセット国の場合より もソース・ドレイン 【0041】更に、この発明の第3の実施例によれば、 行ってソース・ドレインの抵抗を下げることにより、

った場合のソース・ドレイン抵抗を比較する。図7に、6 0 nmのシリコンをエビし、その後Coサリサイドを行った 【0042】従來の(3,1,1) ファセットを持つ権語 **7 (1, 1, 1) レンセットを払し套泊かキリキイドを**给 協合の断面図を、(3,1,1)ファセットの場合と、 (1, 1, 1) ファセットの場合を示した。501の初期数原 を20 nm、SiO2の序いサイドウォールの数原をそれぞれ1 1) ファセットでは、サリサイドに必要なシリコンの散 早以下の領域を覆うように、 (1, 1, 1) ファセットで は、ソース・ドレインとゲートのオフセットが無くなる 20nm、80nmとした。サイドウォール駁序は、(3, 1,

【0043】ゲートエッジからコンタクトエッジまでの め、ゲートエッジからCoシリサイドまでの抵抗を簡略化 氏抗を第1の実施例の効果の中で求めたが、Coシリサイ ドがある場合はCoシリサイドの抵抗が非常に小さいた

ドレイン抵抗は(1. 1, 1) ファセットの方が、(3. 1. 事、また、図4におけるサリサイド無しの場合よりも約6 【0044】これから、コンタクトまでの間のソース・ 1) ファセットよりも約60%と非常に抵抗が低くなる

サイドを行なわない場合の抵抗計算は、ゲートからある 距離離れた位置にコンタクトが連続して存在している場 リコンをソース・ドレイン上にエビしたことにより、傾 厚いサイドウォール駁厚はソース・ドレインとゲートの オフセットがなくなる条件でのみ決定すれば良くなると リコン脱写となるまでのゲートからの距離で決定される なったり、ソース・ドレインとゲートのオフセット量管 **飛が難しくなるといった問題があったが、サリサイドと** 組み合わせることで生じるそれらすべて問題ががなくな 0%と非常に抵抗が低くなることがわかる。しかし、サリ 合、サイドウォール散厚はサリサイドのために必要なシ ため、不必要にサイドウォール戦厚が厚くなったり、そ れを防ぐためにはサリサイド条件に対する制限が厳しく いう効果も得られる。 (3.1.1) ファセット面をもつ場 【0045】加えた、(1.1.1) ファセット回かむしツ 斜領域の長さはエビ脱厚の70%程度と非常に短いので、 合を想定しているため、実際には更に抵抗は減少する。

[0046]

いてのみ説明を行ったが、不純物のN型とP型をかえるこ る。又、本発明は、通常のBulkシリコン基板上に作製さ 【色用の形態】 窓にから第3の共補値では、NNOSFETにし とにより、当然PMOSFETにもこの方法は適用可能であ れたMOSFETにも適用可能である。

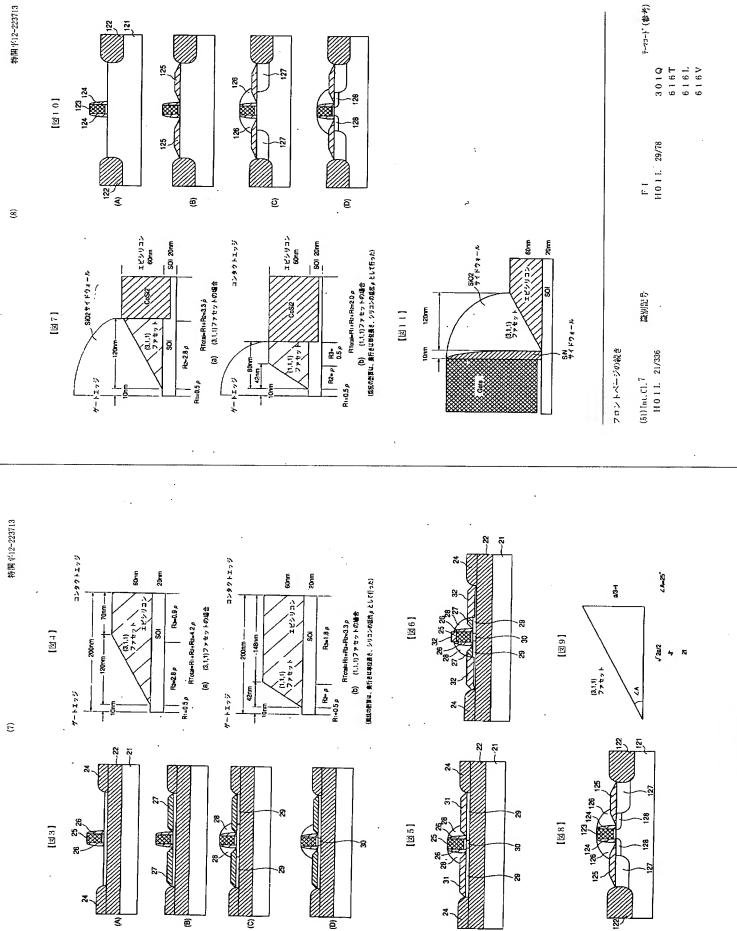
[図面の簡単な説明]

【図1】第1の実施例によるSOL上に形成されたNWISFET 2)野姐図である。

_ | | |

場合の(3.1.1)ファセットと(1.1.1)ファセットとを比較 [図6] 第3の実施例による501上に形成されたN40SFET [図11] S01上に(3,1,1)ファセットのシリコンをエビ [図5] 第2の実施例によるSOL上に形成されたNNOSFET さらにシリサイド化した塩合の(3,1,1)ファセットと(1, 【図8】PMOSFETをゲートと張直方向に切断した断面図 [図9] (3,1,1)ファセット面の角度を説明する図であ [図4] シリコンをSOI上にエピクキシャル成長させた [図7]シリコンをSOL上にエピクキシャル成長させ、 5. [図10] 図8のPNOSFETの製造T:権の財産図である。 タキシャル成長させた場合の断面図である。 1,1)ファセットとを比較した断面図である。 28:厚いサイドウォール 26:海いサイドウォール 27:エビ成長させたSi 24:フィールド酸化版 29:ソース・ドレイン 22:埋め込み酸化膜 21:シリコン基板 25:ゲート配極 した断面図である の断面図である。 の製油図がある。 [作号の説明] 30: ボディ 23:S01層

B=52 [図2] √2m2 (1,1,1)ファセット



ē

F ターム(参考) - NI 104 AA01 AA09 BR20 BR25 CC01
BD02 DD43 DD80 DD84 EE09
EE17 GG09

5F040 DA65 BA10 DA11 DA13 DC01
DC10 EB12 EC01 EC13 EF09
EH02 EW04 FA03 FA05 FA10
FC06 FC06 FC19
5F110 AA02 AA09 AA30 CC02 DD05
DD13 EF05 EE09 EE14 EE32
EE44 EE46 GG02 GG12 HJ01
HJ13 HJ23 HK05 HK08 HK09
HK21 HK25 HK33 HK34 HK39
HK40 HW02 NK62 Q011